

Requested Patent: JP5175222A

Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE ;

Abstracted Patent: JP5175222 ;

Publication Date: 1993-07-13 ;

Inventor(s): NAKAJIMA HIROOMI ;

Applicant(s): TOSHIBA CORP ;

Application Number: JP19910345455 19911226 ;

Priority Number(s): ;

IPC Classification: H01L21/331 ; H01L29/73 ; H01L29/165 ;

Equivalents: JP3142336B2

**ABSTRACT:**

**PURPOSE:** To manufacture a semiconductor device of high speed and high performance, by forming a recess on the side surface of a first conductor film turning to a base electrode.

**CONSTITUTION:** An SiGe layer 12 composed of SiGe of about 100nm in thickness to which high concentration (about  $5 \times 10^{19}$  cm<sup>-3</sup>) of boron is added is selectively formed by epitaxial growth, only on a poly silicon film 6 exposed on the side surface of an aperture 9 and on an epitaxial layer 11 exposed on the bottom surface of the aperture 9. Since the average distance between the poly silicon layer 6 and the silicon epitaxial layer 11 is long as compared with that of the conventional bipolar transistor, an outer base diffusion layer becomes hard to be formed. Thereby the collector base junction capacitance is remarkably reduced, so that the cutoff frequency of a transistor can be very much improved.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-175222

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/331				
29/73				
29/165		7377-4M		
		7377-4M		
			H 0 1 L 29/72	

審査請求 未請求 請求項の数4(全 9 頁)

(21)出願番号 特願平3-345455

(22)出願日 平成3年(1991)12月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中 島 博 臣

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

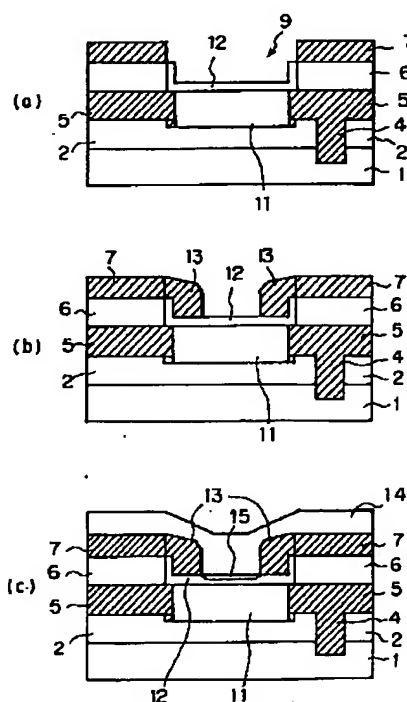
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 高速な半導体装置を得る。

【構成】 第1導電型のコレクタ層2及び素子分離領域4が形成された半導体基板1と、この半導体基板上に順次積層される、第1の絶縁膜5、第2導電型の第1の導電体膜6、及び第2の絶縁膜7からなる積層体と、エミッタ領域を形成するために積層体中に設けられてコレクタ層と接続するための開口部であって第1の導電体膜の開口幅が第2の絶縁膜の開口幅よりも大きい開口部9と、この開口部の底面に形成されて第1の絶縁膜の上面とほぼ同じ高さの上面を有する第1導電型の単結晶シリコン膜11と、開口部内の、単結晶シリコン膜の表面及び第1の導電体膜の側面に形成される第2導電型の半導体層12と、開口部の側面に形成される第3の絶縁膜からなる側壁13と、開口部の底面の半導体層中に形成され第1導電型のエミッタ領域15と、を備えていることを特徴とする。



1

## 【特許請求の範囲】

【請求項1】第1導電型のコレクタ層と素子分離領域が形成された半導体基板上に第1の絶縁膜、第2導電型の第1の導電体膜、及び第2の絶縁膜、を順次積層する第1の工程と、

エミッタベース形成用領域内の、前記第1の絶縁膜、第1の導電体膜、及び第2の絶縁膜を前記半導体基板が露出するまで除去することによって開口部を形成する第2の工程と、

前記開口部の側面に露出している前記第1の導電体膜を所定量エッチング除去し前記開口部の側面にくぼみを形成する第3の工程と、

前記開口部の側面に形成されたくぼみを第3の絶縁膜で埋める第4の工程と、

前記開口部の底面上に第1導電型の単結晶シリコンからなるシリコン膜を、前記第1の絶縁膜の上面とほぼ同じ高さとなるまで選択的に成長させる第5の工程と、

前記開口部の側面のくぼみに埋められた第3の絶縁膜を除去する第6の工程と、

前記開口部の底面のシリコン膜上及び露出している第1の導電体膜の側面に第2導電型の半導体層を選択的に形成する第7の工程と、

前記開口部の側面に第4の絶縁膜からなる側壁を形成する第8の工程と、

前記半導体基板の全面に、第1導電型の第2の導電体膜を形成する第9の工程と、

熱処理を行うことによって前記第2の導電体膜内の第1導電型の不純物原子を前記半導体層に拡散させてエミッタ層を形成する第10の工程と、

を備えていることを特徴とする半導体装置の製造方法。

【請求項2】第1導電型のコレクタ層及び素子分離領域が形成された半導体基板と、

この半導体基板上に順次積層される、第1の絶縁膜、第2導電型の第1の導電体膜、及び第2の絶縁膜からなる積層体と、

エミッタ領域を形成するために前記積層体中に設けられて前記コレクタ層と接続するための開口部であって前記第1の導電体膜の開口幅が前記第1の絶縁膜の開口幅よりも大きい開口部と、

この開口部の底面に形成されて前記第1の絶縁膜の上面とほぼ同じ高さの上面を有する第1導電型の単結晶シリコン膜と、

前記開口部内の、前記単結晶シリコン膜の表面及び前記第1の導電体膜の側面に形成される第2導電型の半導体層と、

前記開口部の側面に形成される第3の絶縁膜からなる側壁と、

前記開口部の底面の半導体層中に形成される第1導電型のエミッタ領域と、

を備えていることを特徴とする半導体装置。

2

【請求項3】第1導電型のコレクタ層が形成された半導体基板上の素子分離形成予定領域及び電極間分離形成予定領域に第1の絶縁膜を埋込むことにより素子分離領域及び電極間分離領域並びに真性素子領域を形成する第1の工程と、

基板全面に第2導電型の半導体層からなるベース層を形成する第2の工程と、

このベース層上に前記真性素子領域を覆うように第2の絶縁膜及び耐酸化性絶縁膜を順次積層した積層体を形成する第3の工程と、

前記ベース層及び前記積層体を覆う第2導電型の第1の導電体膜を形成する第4の工程と、

前記第1の導電体膜上に第3の絶縁膜を形成した後、エミッタ領域を形成するために前記ベース層が露出するまで前記真性素子領域上の、前記第3の絶縁膜、第1の導電体膜及び積層体を開口して開口部を設ける第5の工程と、

前記開口部の側面に第4の絶縁膜からなる側壁を形成する第6の工程と、

半導体基板全面に第1導電型の第2の導電体膜を形成した後、第2の導電体膜から前記ベース層に第1導電型の不純物を拡散させることによって前記ベース層中に第1導電型のエミッタ領域を形成する第7の工程と、

を備えていることを特徴とする半導体装置の製造方法。

【請求項4】第1導電型の真性素子領域、及び素子分離領域が形成された半導体基板と、

この半導体基板上に形成される第2導電型の半導体層からなるベース層と、

前記真性素子領域を覆うように前記ベース層上に第1の絶縁膜及び耐酸化性絶縁膜を順次積層した積層体と、

この積層体及び前記ベース層を覆うように形成される第2導電型の第1の導電体膜と、

この第1の導電体膜上に形成される第2の絶縁膜と、エミッタ領域を形成するために、前記ベース層が露出するまで前記真性素子領域上の、前記第2の絶縁膜、第1の導電体膜、及び積層体を開口することによって設けられる開口部と、

この開口部の側面に形成される第3の絶縁膜からなる側壁と、

前記開口部の底面のベース層中に形成される第1導電型のエミッタ領域と、

を備えていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ベース領域にヘテロエピタキシャル技術を用いた高速、高性能のバイポーラトランジスタ及びその製造方法に関する。

【0002】

【従来の技術】高性能バイポーラトランジスタ装置は、電子計算機、光通信、各種アナログ回路等の様々な分野

で使用されている。最近ヘテロエピタキシャル技術を取入れたバイポーラトランジスタがいくつか提案され、試作されたバイポーラトランジスタの遮断周波数は80GHzに達しようとしている(例えば、①IEEEtranson Electron Device, vol. ED-38, Feb. 1991, p378, ②特開平2-40923号公報、③IEDM' 90, p13 参照)。

【0003】図5を参照してバイポーラトランジスタの従来の製造方法を説明する。まずP型シリコン基板101上にN<sup>+</sup>不純物層102を介してN型エピタキシャル層103を形成する(図5(a)参照)。その後トレンチ技術及び酸化膜選択埋込技術を用いて素子間分離としての酸化膜4を形成する(図5(a)参照)。次に、素子領域表面に、ボロンを含む例えばSiGeからなる層105をエピタキシャル成長させた後、全面に酸化膜106と耐酸化性マスクとなる窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)107を堆積させ、フォトリソ技術を用いてエミッタベース形成予定領域上に窒化膜107と酸化膜106を残置させる(図5(a)参照)。その後ポリシリコン膜108を堆積し、このポリシリコン膜108にボロニオンを注入し、次いで全面にCVD法を用いて酸化膜109を堆積させた後、エミッタベース形成予定領域上のSiGe層105が露出するまで、フォトリソ技術を用いてCVD酸化膜109、ポリシリコン膜108、窒化膜107、及び酸化膜106を開孔して開口部を設ける(図5(a)参照)。

【0004】その後、全面に酸化膜110を形成し、異方性エッチングを用いてエッチバックすることにより、上記開口部の側部のみ酸化膜110が残るようにする(図5(b)参照)。そして高濃度に砒素を添加したポリシリコン膜111を堆積して上記開口部を埋める(図5(c)参照)。その後熱処理を施すことにより砒素がSiGe層105に拡散されてSiGe層105にN型エミッタ層が形成されるとともに、ポリシリコン膜108に注入されたボロンがSiGe層105を介してN型エピタキシャル層103に拡散されて外部ベース領域113がN型エピタキシャル層103に形成される(図5(c)参照)。なお、ポリシリコン膜108、111は各々ベース電極、エミッタ電極として用いられる。

【0005】

【発明が解決しようとする課題】このような従来の製造方法においては、ヘテロエピタキシャル技術によってベース層が形成されるとともに、ポリシリコンエミッタ技術により幅が50nm以下の拡散層形成が可能になり、これによって高速動作可能なバイポーラトランジスタを得ることができる。しかし、従来の方法では、外部ベース拡散層113の形を制御することが困難であり、ともすればこの外部ベース拡散層によるコレクタベース容量が大きくなって、バイポーラトランジスタの高速化を妨げるという問題があった。

【0006】本発明は上記問題点を考慮してなされたも

のであって、高速かつ高性能な半導体装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】第1の発明による半導体装置の製造方法は、第1導電型のコレクタ層と素子分離領域が形成された半導体基板上に第1の絶縁膜、第2導電型の第1の導電体膜、及び第2の絶縁膜、を順次積層する第1の工程と、エミッタベース形成用領域内の、第1の絶縁膜、第1の導電体膜、第2の絶縁膜、及び金属膜を半導体基板が露出するまで除去することによって開口部を形成する第2の工程と、開口部の側面に露出している第1の導電体膜を所定量エッチング除去し開口部の側面にくぼみを形成する第3の工程と、開口部の側面に形成されたくぼみを第3の絶縁膜で埋める第4の工程と、開口部の底面上に第1導電型の単結晶シリコンからなるシリコン膜を、第1の絶縁膜の上面とほぼ同じ高さとなるまで選択的に成長させる第5の工程と、開口部の側面のくぼみに埋められた第3の絶縁膜を除去する第6の工程と、開口部の底面のシリコン膜上及び露出している第1の導電体膜の側面に第2導電型の半導体層を選択的に形成する第7の工程と、開口部の側面に第4の絶縁膜からなる側壁を形成する第8の工程と、半導体基板の全面に、第1導電型の第2の導電体膜を形成する第9の工程と、熱処理を行うことによって第2の導電体膜内の第1導電型の不純物原子を半導体層に拡散させてエミッタ層を形成する第10の工程と、を備えていることを特徴とする。

【0008】又第2の発明による半導体装置は、第1導電型のコレクタ層及び素子分離領域が形成された半導体基板と、この半導体基板上に順次積層される、第1の絶縁膜、第2導電型の第1の導電体膜、及び第2の絶縁膜からなる積層体と、エミッタ領域を形成するために積層体中に設けられてコレクタ層と接続するための開口部であって第1の導電体膜の開口幅が第1の絶縁膜の開口幅よりも大きい開口部と、この開口部の底面に形成されて第1の絶縁膜の上面とほぼ同じ高さの上面を有する第1導電型の単結晶シリコン膜と、開口部内の、単結晶シリコン膜の表面及び第1の導電体膜の側面に形成される第2導電型の半導体層と、開口部の側面に形成される第3の絶縁膜からなる側壁と、開口部の底面の半導体層中に形成される第1導電型のエミッタ領域と、を備えていることを特徴とする。

【0009】又第3の発明による半導体装置の製造方法は、第1導電型のコレクタ層が形成された半導体基板上の素子分離形成予定領域及び電極間分離形成予定領域に第1の絶縁膜を埋込むことにより素子分離領域及び電極間分離領域並びに真性素子領域を形成する第1の工程と、基板全面に第2導電型の半導体層からなるベース層を形成する第2の工程と、このベース層上に真性素子領域を覆うように第2の絶縁膜及び耐酸化性絶縁膜を順次

積層した積層体を形成する第3の工程と、ベース層及び積層体を覆う第2導電型の第1の導電体膜を形成する第4の工程と、第1の導電体膜上に第3の絶縁膜を形成した後、エミッタ領域を形成するためにベース層が露出するまで真性素子領域上の、第3の絶縁膜、第1の導電体膜及び積層体を開口して開口部を設ける第5の工程と、開口部の側面に第4の絶縁膜からなる側壁を形成する第6の工程と、半導体基板全面に第1導電型の第2の導電体膜を形成した後、第2の導電体膜からベース層に第1導電型の不純物を拡散させることによってベース層中に第1導電型のエミッタ領域を形成する第7の工程と、を備えていることを特徴とする。

【0010】又第4の発明による半導体装置は、第1導電型の真性素子領域、及び素子分離領域が形成された半導体基板と、この半導体基板上に形成される第2導電型の半導体層からなるベース層と、真性素子領域を覆うようにベース層上に第1の絶縁膜及び耐酸化性絶縁膜を順次積層した積層体と、この積層体及びベース層を覆うように形成される第2導電型の第1の導電体膜と、この第1の導電体膜上に形成される第2の絶縁膜と、エミッタ領域を形成するために、ベース層が露出するまで真性素子領域上の、第2の絶縁膜、第1の導電体膜、及び積層体を開口することによって設けられる開口部と、この開口部の側面に形成される第3の絶縁膜からなる側壁と、開口部の底面のベース層中に形成される第1導電型のエミッタ領域と、を備えていることを特徴とする。

【0011】

【作用】上述のように構成された第1の発明の半導体装置の製造方法によれば、ベース電極となる第1の導電体膜の側面にくぼみが設けられることによりその開口幅が第1の絶縁膜の開口幅よりも大きく形成されて、第1の絶縁膜の開口部にコレクタ領域となる単結晶シリコン膜が埋込まれ、そしてベース層となる半導体層が、単結晶シリコン膜上及び第1の導電体膜の側面に形成される。これにより第1の導電体膜と単結晶シリコン膜との間の平均距離が従来の場合に比べて長くすることが可能となり、第1の導電体膜から半導体層を介して単結晶シリコン膜に第2導電型の不純物が拡散するのを抑制できる。

【0012】したがって、コレクタベース容量を大幅に減少させることが可能となり、遮断周波数を大きく向上させて高速かつ高性能の半導体装置を得ることができる。

【0013】又上述のように構成された第2の発明の半導体装置によれば、ベース電極となる第1の導電体膜の開口幅が第1の絶縁膜の開口幅よりも大きく形成されて、第1の絶縁膜の開口部にコレクタ領域となる単結晶シリコン膜が埋込まれ、そしてベース層となる半導体層が、単結晶シリコン膜上及び第1の導電体膜の側面に形成されている。これにより第1の導電体膜と単結晶シリ

コン膜との間の平均距離が従来の場合に比べて長くすることが可能となり、第1の導電体膜から半導体層を介して単結晶シリコン膜に第2導電型の不純物が拡散するのを抑制できる。

【0014】したがって、コレクタベース容量を大幅に減少させることが可能となり、遮断周波数を大きく向上させて高速かつ高性能の半導体装置を得ることができる。

【0015】又上述のように構成された第3の発明の半導体装置の製造方法によれば、ベース層上に積層体がコレクタ領域となる真性素子領域を覆うようにして形成され、更にこの積層体とベース層を覆うようにしてベース電極となる第1導電体膜が形成される。これにより第1導電体膜からベース層を介して真性素子領域への第2導電型の不純物の拡散を抑制できる。したがってコレクタベース容量を大幅に減少させることが可能となり、遮断周波数を大きく向上させて高速かつ高性能の半導体装置を得ることができる。

【0016】又上述のように構成された第4の発明の半導体装置によれば、ベース層上に積層体がコレクタ領域となる真性素子領域を覆うようにして形成されており、更にこの積層体とベース層を覆うようにしてベース電極となる第1導電体膜が形成されている。これにより第1導電体膜からベース層を介して真性素子領域への第2導電型の不純物の拡散を抑制できる。したがってコレクタベース容量を大幅に減少させることが可能となり、遮断周波数を大きく向上させて高速かつ高性能の半導体装置を得ることができる。

【0017】

【実施例】第1の発明による半導体装置の製造方法の一実施例を図1乃至図2を参照して説明する。図1及び図2は本実施例によって製造される半導体装置の製造工程を示す断面図である。

【0018】まずP型シリコン基板1上にN型の高濃度不純物を含んでいる高濃度不純物層2を形成し、その後トレンチ技術及び酸化膜選択埋込み技術を用いて素子間分離としての酸化膜からなるトレンチ領域4を形成する(図1(a)参照)。次にCVD法を用いて厚さ500nm程度のCVD酸化膜5を基板全面に形成し、その後ポリシリコン膜6を厚さ400nm程度基板全面に成長させる。そして、多結晶シリコン膜6に例えばボロンをドーザ量が50KeV、 $1.0 \times 10^{18} \text{cm}^{-2}$ の条件でイオン注入し、その後CVD法を用いてCVD酸化膜7を堆積する(図1(a)参照)。そして例えば900℃で30分間程度のアニールを施した後、例えばアルミニウムからなる厚さ100nm程度の金属膜8を形成する(図1(a)参照)。次に、後にエミッタベース領域となる領域上の、金属膜8、CVD酸化膜7、ポリシリコン膜6及びCVD酸化膜5を、基板1上の高濃度不純物層2が露出するまで異方性エッチング技術を用いて除去し、開

7

口幅が1  $\mu\text{m}$ 程度の開口部9を形成する(図1(a)参照)。

【0019】次に等方性の反応性プラズマエッチングによって開口部の側面及び底面に各々露出しているポリシリコン膜6及び高濃度不純物層2を150nm程度エッチング除去する。すると、開口部9の側面の露出している、ポリシリコン膜6及び高濃度不純物層2の部分に深さが150nm程度のくぼみ(図示せず)が形成される。その後CVD法を用いてCVD酸化膜10を全面に被着した後、開口部9の側面に形成された上記くぼみ部分にのみCVD酸化膜10が残るように反応性イオンエッチングを用いて他の部分のCVD酸化膜10をエッチング除去する(図1(b)参照)。

【0020】次に開口部9の底面に露出した高濃度不純物層2上のみに、低濃度(ほぼ $1.0 \times 10^{16} \text{cm}^{-3}$ 程度)にN型にドーパされた単結晶シリコンエピタキシャル層11を、その厚さがCVD酸化膜5の厚さに上記くぼみの深さを加えた値にほぼ等しくなるまで成長させる(図1(c)参照)。すなわち、エピタキシャル層11の上面はCVD酸化膜5の上面とほぼ同じ高さとなる。なお、この時N型の高濃度不純物層2はコレクタコンタクト(図示せず)に接続されているため、低濃度エピタキシャル層11はコレクタの一部を形成している。その後、例えば $\text{NH}_4\text{F}$ 溶液に浸漬することにより開口部9の側面のくぼみに残されたCVD酸化膜10を除去する(図1(c)参照)。この時開口部9の側面に露出している、CVD酸化膜7の一部分も除去される。その後例えば硫酸過酸化水素混合液に浸漬することによりアルミニウム膜8を除去する(図1(c)参照)。

【0021】次に開口部9の側面に露出しているポリシリコン膜6及び開口部9の底面に露出しているエピタキシャル層11上のみ選択的にエピタキシャル成長により厚さ100nm程度の、高濃度( $5 \times 10^{18} \text{cm}^{-3}$ 程度)にボロンが添加されたSiGeからなるSiGe層12を形成する(図2(a)参照)。

【0022】続いてCVD法を用いて厚さが200nm程度のCVD酸化膜13を基板全面に被着し、反応性イオンエッチングを用いてエッチングすることにより開口部9の側面にのみCVD酸化膜13を残す(図2(b)参照)。その後厚さが200nm程度のポリシリコン膜14を形成し、このポリシリコン膜14に砒素をドーパ量50KeV、 $1.0 \times 10^{16} \text{cm}^{-2}$ の条件でイオン注入し、更に所望の熱処理を施すことによって、ポリシリコン膜14に添加された砒素をエピタキシャル層12に拡散させ、これによりN型のエミッタ領域15を形成するとともに内部ベース領域を形成する(図2(c)参照)。続いて基板全面に例えばアルミニウムからなる金属膜を堆積した後、パターニングを行って配線層を形成し、バイポーラトランジスタを形成する(図示せず)。

【0023】このようにして形成されるバイポーラトラ

8

ンジスタにおいては、ポリシリコン層6とシリコンエピタキシャル層11との間の平均距離が従来のバイポーラトランジスタのそれに比べて長いこと、エピタキシャル層11に外部ベース拡散層が形成されにくくなり、これによりコレクタベース接合容量が大幅に減少してトランジスタの遮断周波数が大きく向上し、高速高性能のバイポーラトランジスタを得ることができる。

【0024】なお、外部ベースと、ポリシリコン膜6と、内部ベースとのリンクは、高濃度にボロンが添加されたSiGe層12が行う。

【0025】なお上記実施例においては、エピタキシャル層12をSiGeからなる材料で形成したが、シリコンよりバンドギャップの小さいヘテロ材料を用いても良い。

【0026】次に第2の発明による半導体装置の一実施例を断面図を図2(c)に示す。この実施例の半導体装置は、P型シリコン基板1上に、N型の高濃度不純物層2及び素子間分離としてのトレンチ領域4が形成されている。そして、CVD酸化膜5、ボロンをドーパしたポリシリコン膜6、及びCVD酸化膜7が順次積層されている。これらの積層膜中に、高濃度不純物層2と接続するために開口部が設けられ、この開口部の開口幅は、ポリシリコン膜6の方がCVD酸化膜5よりも大きい。そして、CVD酸化膜5の開口部分に、低濃度のN型の不純物がドーパされた単結晶シリコンのエピタキシャル層11が形成されている。そして、このエピタキシャル層11上及びポリシリコン膜6の側面に高濃度にボロンがドーパされたSiGeからなる半導体層12が形成され、更に上記開口部の側面にCVD酸化膜からなる側壁13が形成されている。そして、CVD酸化膜7、13及びSiGe層12を覆うように高濃度に砒素がドーパされたポリシリコン層14が形成され、このポリシリコン膜14から不純物である砒素をSiGe層12に拡散させることによってエミッタ領域を形成する。

【0027】このようにして構成された本実施例の半導体装置は、第1の発明の製造された半導体装置と同様の効果を有している。

【0028】次に第3の発明による半導体装置の製造方法の一実施例を図3乃至図4を参照して説明する。図3及び図4は本実施例によって製造される半導体装置の製造工程を示す断面図である。

【0029】まず、P型シリコン基板21上にN型の高濃度不純物を含んだ高濃度不純物層22を形成し、更にその上にN型の比較的低濃度(ほぼ $1.0 \times 10^{16} \text{cm}^{-3}$ 程度)のエピタキシャル層23を気相成長法を用いて形成した後、トレンチ技術及び酸化膜選択埋込み技術を用いて素子間分離としてのトレンチ領域24、及び酸化膜24aを形成する(図3(a)参照)。この分離酸化膜24aは真性素子領域23aとコレクタコンタクト部(図示せず)とを分離する電極間分離領域に形成され

る。又高濃度不純物層22はコレクタコンタクト(図示せず)に接続されているため、エピタキシャル層23はコレクタの一部を形成している。

【0030】次にシリコン基板21の全面にエピタキシャル成長により厚さ100nm程度の、高濃度(ほぼ $5 \times 10^{18} \text{ cm}^{-3}$ 程度)にボロンが添加されたSiGe層25を形成し、更にその上にCVD法を用いて絶縁膜として厚さが50nm程度のCVD酸化膜26と、耐酸性絶縁膜として厚さが100nm程度のシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)9を形成する。次いで反応性プラズマエッチングを用いて真性素子領域23a以外の領域の窒化膜27を下地のCVD酸化膜26が露出するまで除去する。この時、残った窒化膜27は真性素子領域23aを覆っている。次にこの残っている窒化膜27をマスクにして例えばNH<sub>4</sub>F溶液を用いて、真性素子領域23a以外の領域の酸化膜を下地のSiGe層25が露出するまでエッチング除去する。その後全面に厚さが400nm程度のポリシリコン膜28を形成する(図3(a)参照)。そして、ポリシリコン膜28にボロンをドーズ量50KeV、 $1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入する(図3(a)参照)。

【0031】次にポリシリコン膜28上に、CVD法を用いて厚さが300nm程度のCVD酸化膜29を形成し、その後エミッタ拡散領域に対応する領域上の、CVD酸化膜29、ポリシリコン膜28、窒化膜27、及びCVD酸化膜26を、下地のSiGe層25が露出するまで異方性エッチングを用いてエッチング除去し、開口幅が1μm程度の開口部30を形成する(図3(b)参照)。

【0032】続いてCVD法によりCVD酸化膜31を全面被着した後、開口部30の側面にのみCVD酸化膜31が残るように異方性エッチングを用いて他の部分のCVD酸化膜31をエッチング除去する(図4(a)参照)。次に厚さが200nm程度のポリシリコン膜32を全面に被着し、このポリシリコン膜32に砒素をドーズ量50KeV、 $1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入した後、所望の熱処理を施すことによりポリシリコン膜32に注入された砒素をSiGeからなるエピタキシャル層25に拡散させてN型のエミッタ領域を形成するとともに内部ベース領域を形成する(図4(b)参照)その後基板全面に例えばアルミニウムからなる金属膜を被着し、この金属膜をパターンニングして配線層を形成してバイポーラトランジスタを形成する(図示せず)。

【0033】上述のようにして形成されるバイポーラトランジスタにおいては、窒化膜27及びCVD酸化膜26が完全に真性素子領域23aを覆っていることにより、その後の熱処理によるポリシリコン膜28から真性素子領域23aへのボロンの拡散が無くなり、外部ベース拡散層は形成されない。すなわち、エッチングストップとしての窒化膜27に更にボロンの拡散を防止する役

目をも担わせている。これによってコレクタベース接合容量が大幅に減少してバイポーラトランジスタの遮断周波数を大きく向上させることが可能となり、高速なバイポーラトランジスタを得ることができる。

【0034】なお、外部ベースのポリシリコン膜28と内部ベースのリンクは高濃度にボロンが添加されたエピタキシャル層25が行う。一般に同時ドーブ非選択エピタキシャル技術を用いた場合シリコン上よりも酸化膜上で不純物(本実施例ではボロン)は高濃度になる傾向があるため、エピタキシャル層25中のボロン濃度は内部ベース領域中(開口部30の直下)で合わせこんでおけば十分に外部ベースとのリンクは確保できる。逆に言えば、リンクを確保するためには、トランジスタ特性が劣化するほどボロンを高濃度にドーブする必要がないことになる。

【0035】なお、上記実施例においては、エピタキシャル層25を、高濃度にボロンが添加されたSiGeからなる材料で形成したが、シリコンよりバンドギャップの小さいヘテロ材料を用いても良い。

【0036】次に第4の発明による半導体装置の一実施例の断面図を図4(b)に示す。この実施例の半導体装置は、P型シリコン基板21上にN型の高濃度不純物層22、N型の比較的低濃度のエピタキシャル層23が形成されているとともに、酸化膜からなる素子分離領域24及び電極間分離領域24aが形成されている。なお、電極間分離領域24aは真性素子領域23aとコレクタコンタクト部(図示せず)とを分離するものである。

【0037】又、高濃度にボロンが添加されたSiGe層25が真性素子領域23a、素子分離領域24、及び電極間分離領域24aを覆うように形成されている。そしてCVD酸化膜26及びSi<sub>3</sub>N<sub>4</sub>膜27からなる積層体が、真性素子領域23aを覆うようにSiGe層25上に形成され、更に上記積層体及びSiGe層25を覆うように、ボロンが添加されたポリシリコン膜28及びCVD酸化膜29が積層されている。そしてSiGe層25が露出するまで真性素子領域23a上の、CVD酸化膜29、ポリシリコン膜28、Si<sub>3</sub>N<sub>4</sub>膜27、及びCVD酸化膜26に開口部が設けられ、この開口部の側面にCVD酸化膜からなる側壁31が設けられている。又、開口部の底面のSiGe層25中にN型のエミッタ領域33が形成され、このエミッタ領域33と接続されるエミッタ電極となるN型のポリシリコン膜32が上記開口部を埋めるように形成されている。

【0038】この実施例の半導体装置は第3の発明の製造方法によって製造される半導体装置と同様の効果を有していることは言うまでもない。

【0039】なお、以上説明した実施例ではNPN型のバイポーラトランジスタについて説明したが、PNP型のバイポーラトランジスタについても同様にして高速かつ高性能なものとする事ができる。



11

12

【0040】

【発明の効果】本発明によれば、高速かつ高性能の半導体装置を得ることができる。

【図面の簡単な説明】

【図1】第1の発明によって製造される半導体装置の工程断面図。

【図2】第1の発明によって製造される半導体装置の工程断面図。

【図3】第3の発明によって製造される半導体装置の工程断面図。

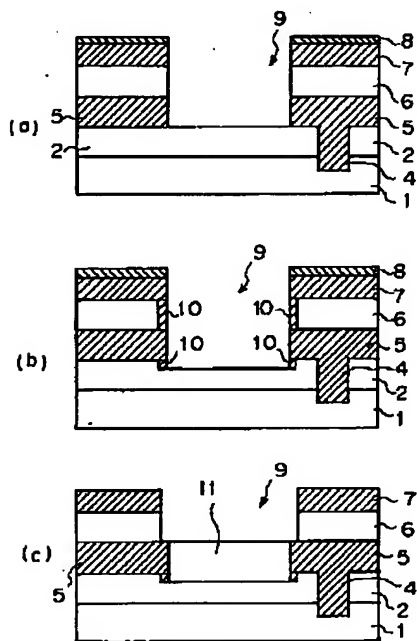
【図4】第3の発明によって製造される半導体装置の工程断面図。

【図5】従来の製造方法を示す工程断面図。

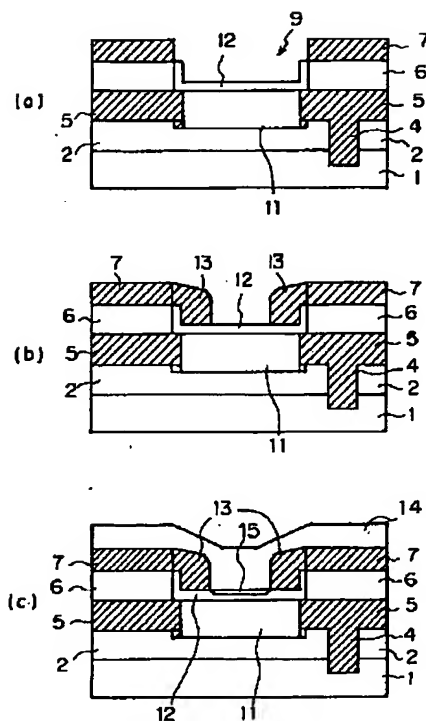
【符号の説明】

- 1 シリコン基板 (P型)
- 2 高濃度不純物層 (N型)
- 4 素子分離領域
- 5 CVD酸化膜
- 6 ポリシリコン膜 (P型)
- 7 CVD酸化膜
- 9 開口部
- 11 エピタキシャル層 (N型)
- 12 SiGe層 (P型)
- 13 CVD酸化膜
- 14 ポリシリコン膜 (N型)
- 15 エミッタ領域

【図1】



【図2】







## 【手続補正書】

【提出日】平成4年3月19日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

## 【補正内容】

【0003】図5を参照してバイポーラトランジスタの従来の製造方法を説明する。まずP型シリコン基板101上にN<sup>+</sup>不純物層102を介してN型エピタキシャル層103を形成する(図5(a)参照)。その後トレンチ技術及び酸化膜選択埋込技術を用いて素子間分離としての酸化膜4を形成する(図5(a)参照)。次に、素子領域表面に、ボロンを含む例えばSiGeからなる層105をエピタキシャル成長させた後、全面に酸化膜106と耐酸化性マスクとなる窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)107を堆積させ、フォトリソ技術を用いてエミッタベース形成予定領域上に窒化膜107と酸化膜106を残置させる(図5(a)参照)。その後ポリシリコン膜108を堆積し、このポリシリコン膜108にボロンイオンを注入し、次いで全面にCVD法を用いて酸化膜109を堆積させた後、エミッタベース形成予定領域上のSiGe層105が露出するまで、フォトリソ技術を用いてCVD酸化膜109、ポリシリコン膜108、窒化膜107、及び酸化膜106を開孔して開口部を設ける(図5(a)参照)。なお、この開口部を設ける他の方法としては、まず窒化膜107が露出するまでフォトリソ技術を用いてCVD酸化膜109及び

ポリシリコン膜108を開孔し、その後、露出した窒化膜107を加熱リン酸等により溶液エッチングし、酸化膜106を露出させ、この露出した酸化膜106をNH<sub>4</sub>F溶液等の溶液エッチングによりSiGe層105が露出するまでエッチングすることによって行っても良い。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

## 【補正内容】

【0031】次にポリシリコン膜28上に、CVD法を用いて厚さが300nm程度のCVD酸化膜29を形成し、その後エミッタ拡散領域に対応する領域上の、CVD酸化膜29、ポリシリコン膜28、窒化膜27、及びCVD酸化膜26を、下地のSiGe層25が露出するまで異方性エッチングを用いてエッチング除去し、開口幅が1μm程度の開口部30を形成する(図3(b)参照)。なお、この開口部30を設ける他の方法としては、まず窒化膜27が露出するまでフォトリソ技術を用いてCVD酸化膜29及びポリシリコン膜28を開孔し、その後、露出した窒化膜27を加熱リン酸等により溶液エッチングし、CVD酸化膜26を露出させ、この露出したCVD酸化膜26をNH<sub>4</sub>F溶液等の溶液エッチングによりSiGe層25が露出するまでエッチングすることによって行っても良い。